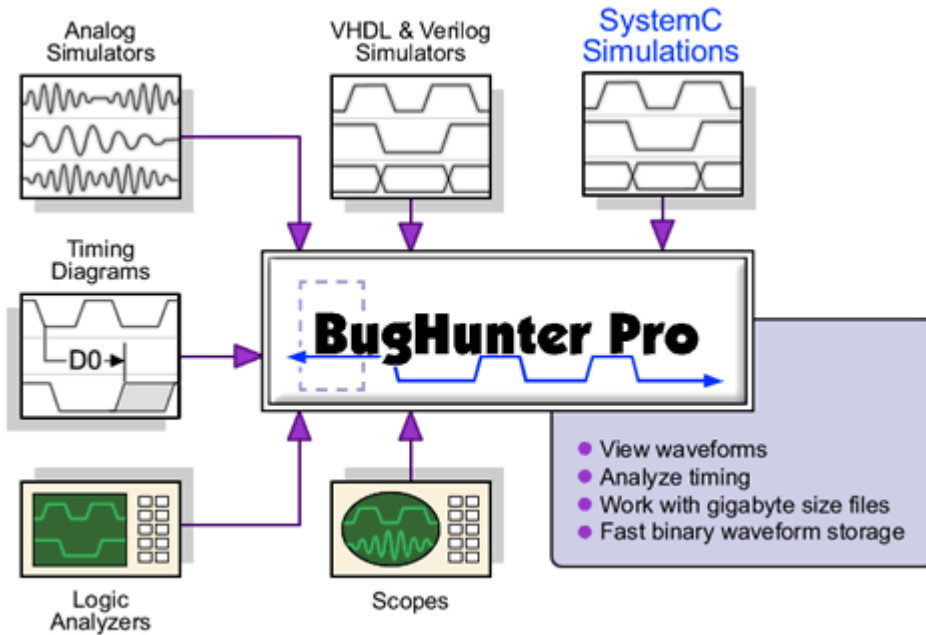


**BugHunter Pro Version 16 für C++/SystemC Entwicklungsumgebungen und VHDL/Verilog Simulationen**



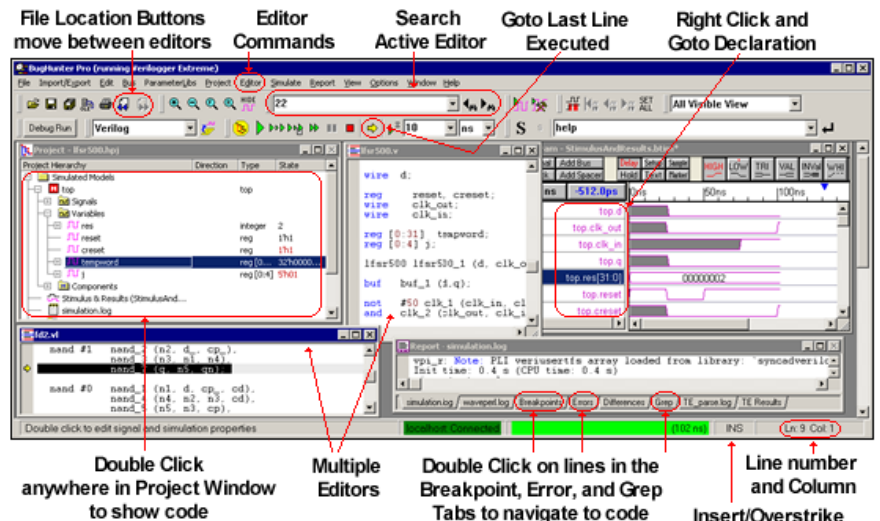
Mit den jetzt fertiggestellten Erweiterungen kann der HDL Debugger BugHunter Pro von noch mehr Entwicklern zur Erhöhung der Produktivität am Entwicklerarbeitsplatz eingesetzt werden.

Jetzt können SystemC und mixed SystemC/Verilog/VHDL Simulationen mit der GUI von BugHunter Pro kompiliert und

Die für andere Sprachen schon bekannten Edit-Fenster sind jetzt auch für C++ Dateien verfügbar. VCD Dateien von SystemC Simulationen können jetzt importiert werden. Diese VCD Dateien wiederum kann der Entwickler als btim-Dateien speichern – und schon hat er die Daten in der VCD Datei immer grafisch dargestellt zur Verfügung.

debugged werden – und das für alle relevanten Simulatoren. Die Entwicklung von SystemC Simulationen wird damit erheblich einfacher.

Das Compilieren von C++ Applikationen zusammen mit HDL Simulationen wird ebenfalls wesentlich einfacher – z. B. wenn eine kompilierte PLI-Anwendung von einem Verilog Simulator geladen wird.



## BugHunter Pro – eine GUI für alle...

BugHunter Pro ist nicht nur die GUI für VeriLoggerExtrem sondern zusammen mit allen relevanten Simulatoren wie Mentor Graphics ModelSim, Cadence NCSim, Aldec ActiveHDL usw. einsetzbar. Im Detail ist immer wieder feststellen, dass Simulatoren unterschiedliche

Verhaltensweisen bei identischem Code haben. Hier ist ein wichtiger Grund für die Verwendung von BugHunter Pro: Der Entwickler kann flink zwischen mehreren Simulatoren wechseln und so leichter Racing Conditions finden, die nicht jeder Simulator erkennt.

## VeriLogger Extrem findet Racing Conditions

Bei den letzten Entwicklungsarbeiten von VeriLoggerExtrem wiederum ist gezielt auf die Erkennung von Racing Conditions in einem Code geachtet worden. Außerdem ist

jetzt die Einstellung der Reihenfolgen von Prozessen während der Simulation hinzugekommen.

## BugHunter Pro zeigt die Beziehungen

In BugHunter Pro ist auch das sog. „Cause-Effect Dependency Window“ nochmals verbessert worden. Hier werden Beziehungen zwischen Signalen und Prozess Statements angezeigt. Dies erlaubt dem Anwender schnell und komfortabel durch das Design zu navigieren und den Grund für Zustandänderungen auf einem Anschluss

oder in einem Register zu finden. In diesem Window sind jetzt die Zustandsänderungen seit dem letzten Simulationsschritt in rot angezeigt, um das Signal welches die Zustandsänderung verursacht haben kann schnell zu finden. Signal- und Register-Zustände können jetzt in diesem Window geändert werden.

**TestBencher Pro** nehmen Sie, wenn Sie maximalen Komfort bei der Entwicklung Ihrer Testbenches haben wollen.

**WaveFormer Pro** nehmen Sie,

- wenn Sie mit HDLs (VHDL, Verilog) arbeiten,
- wenn Sie Simulated Signals brauchen, d.h. Signale von einander mit Booleschen Verknüpfungen oder mit HDL Skripten ableiten wollen,
- wenn Sie Daten von Simulationen (VCD) , Spice, HSPICE oder Oscilloscopen importieren und darstellen sowie verändern wollen,
- wenn Sie die Timing Diagramme als Stimulie in Simulationen verwenden wollen, also die Daten als VHDL- oder Verilog Code exportieren wollen,
- wenn Sie die Daten der Timing Diagramme mit Pattern Generatoren weiter nutzen wollen.

**DataSheet Pro** nehmen Sie,

- wenn Sie mehrere Timing Diagramme gleichzeitig geöffnet haben wollen – als Option für WaveFormer Pro erhältlich,
- wenn Sie OLE Verknüpfungen für Ihre Dokumentationen nutzen wollen – als Option für WaveFormer Pro erhältlich.