

WaveFormer Lite Version 16

WaveFormer Lite war ursprünglich integrierter Bestandteil der Actel Libero Design Umgebung. Die aktuelle Version von Actel Libero beinhaltet aber nicht mehr WaveFormer Lite.

Anwenden dieser Software ermöglichen wir WaveFormer Lite weiterhin auch mit der aktuellen Version von Actel Libero zu nutzen. Mit WaveFormer Lite entwickelt der Anwender sehr komfortabel VHDL- oder Verilog-

Testbenches, die infolge der grafischen Oberfläche sehr leicht verständlich sind. WaveFormer Lite kann weiterhin aus Actel Libero, aus anderen Designumgebungen von FPGA/ASIC-Herstellern oder Stand-alone aufgerufen werden.

Die noch leistungsfähigere alternative Software WaveFormer Pro kann der Anwender mit dem gleichen Grad der Integration zu nutzen.

WaveFormer Lite

ist jetzt mit Version 16 weiter aufgewertet worden:

Für effektiveres Arbeiten hat WaveFormer Lite jetzt ein Projekt-Fenster wie WaveFormer Pro und ähnlich wie TestBencher Pro. Wie bei WaveFormer Pro werden im Projekt-Fenster automatisch Signal-Informationen aus dem VHDL- oder Verilog-Design extrahiert – eine wesentliche Arbeitserleichterung und ein starkes Tool, um Fehler zu vermeiden.

WaveFormer Lite Mixed-Signal Test Bench Generation

Investigate Design

Automatic Code Generation

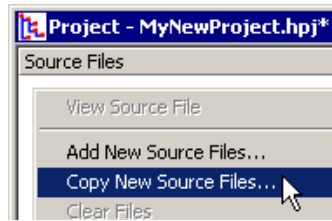
The screenshot shows the WaveFormer Lite interface with several windows:

- Project - generic_adder.hpj**: A tree view showing source files (generic_adder.v, partial_adder, full_adder), ports (c1, s0, a0, b0, c0), signals, and components (pa, carry_look_ahead_logic).
- Report - untitled0.v**: A code window showing a test bench wrapper and a stimulus instance.
- Parameter - untitled0.btm***: A table for simulation parameters.
- Diagram - untitled0.btm***: A timing diagram showing signals c_out, sum[15:0], a[15:0], b[15:0], and c_in over time.
- generic_adder.v**: A code window showing the VHDL source code for the full_adder and carry_look_ahead_logic modules.

View Source Code

Draw Test Bench and Expected Output

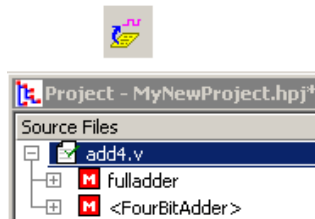
Der VHDL- oder Verilog-Code wird mit der rechten Maustaste über dem Projekt-Fenster dem Projekt zugeordnet.



Danach extrahiert der Anwender per Knopfdruck



die Signale aus dem Code und bekommt diese in einem Diagramm angezeigt.



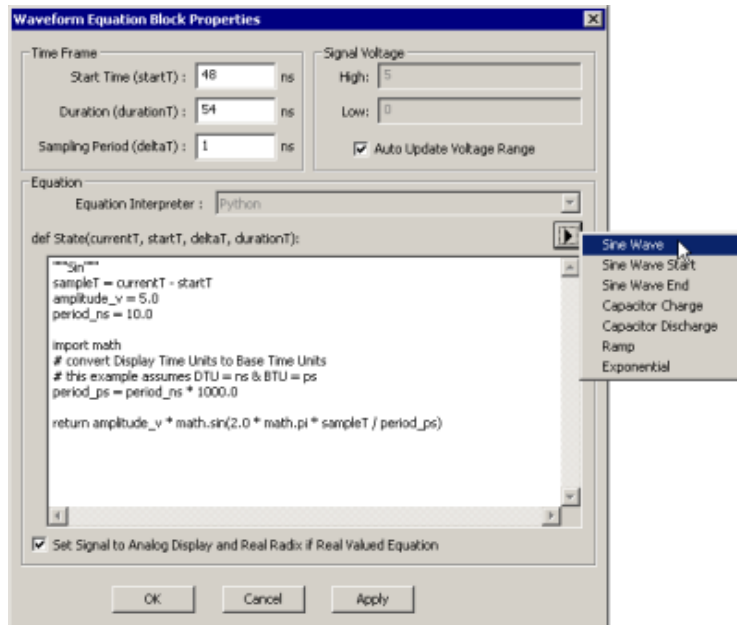
Die zu simulierende Situation kann die Software nicht ahnen, muss also vom Anwender in das Diagramm eingetragen werden – die zu simulierenden Signalzustände und Buss-Inhalte.

0	▶	sum[3:0]	0ns
1	▶	c_out	
2	▶	x[3:0]	
3	▶	y[3:0]	
4	▶	c_in	

Clock-Signale, einzelne Signale und Buss-Signale können Sie mit der linken Maustaste in das Diagramm einbringen.

In WaveFormer Lite ist das „Zeichnen“ von Signalen jetzt auch mit Formeln im dafür vorgesehenen Eingabefeld mögliche.

Und WaveFormer Lite hat jetzt eine neue Funktion zur Darstellung analoger Signale mit Python Formeln für Actel SmartFusion Mixed-Signal FPGA Designs.



Im neuen Projekt-Fenster (in der vorigen Abbildung oben links) navigiert der Anwender hierarchisch bis ins Detail durch sein Design. Hier werden zwei MUTs – Model Under Test – gezeigt.

